

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-186412

(43) 公開日 平成10年(1998) 7月14日

(51) Int.Cl.⁶

G 0 2 F 1/136
1/1335

識別記号

5 1 0
5 0 5

F I

G 0 2 F 1/136 5 1 0
1/1335 5 0 5

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21) 出願番号 特願平8-348171

(22) 出願日 平成8年(1996)12月26日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 湯田坂 一夫

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

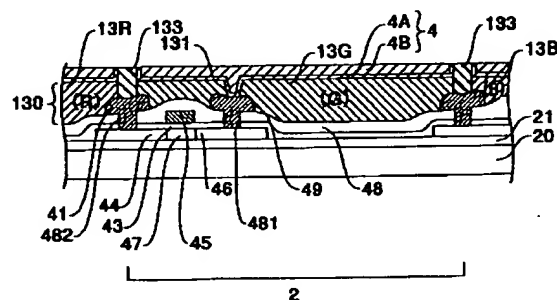
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 アクティブマトリクス液晶表示装置およびその製造方法

(57) 【要約】

【課題】 カラーフィルタ層内蔵型のアクティブマトリクス基板でありながら、画素電極の表面に凹凸が発生することを防止することによって、表示品位の向上を図ることのできるアクティブマトリクス液晶表示装置およびその製造方法を提供すること。

【解決手段】 アクティブマトリクス基板では、TFT 40、インクジェット法で形成されたカラーフィルタ層 13R、13G、13B、画素電極4が下層側からこの順に透明基板20の上に形成されている。画素電極4は下層側のスパッタITO膜4Aと上層側の塗布ITO膜4Bとから構成され、カラーフィルタ層のアスペクト比の大きなコンタクトホール131を介して中継電極49に導電接続しているが、塗布ITO膜4Bは段差被覆性がよいので、表面に凹凸がない。



【特許請求の範囲】

【請求項1】 基板上にマトリクス形成される各画素領域には、薄膜スイッチング素子と、該薄膜スイッチング素子に導電接続する画素電極とを有するアクティブマトリクス液晶表示装置において、

前記基板上には、下層側から前記薄膜スイッチング素子、カラーフィルタ層、および前記画素電極がこの順に積層されているとともに、

前記画素電極は、前記カラーフィルタ層より上層側に、該カラーフィルタ層に形成されたコンタクトホールを介して前記薄膜スイッチング素子に導電接続する導電性透明塗布膜を備えていることを特徴とするアクティブマトリクス液晶表示装置。

【請求項2】 請求項1において、前記導電性透明塗布膜はインクジェット法により塗布成膜された膜であることを特徴とするアクティブマトリクス液晶表示装置。

【請求項3】 請求項1または2において、前記薄膜スイッチング素子は薄膜トランジスタであることを特徴とするアクティブマトリクス液晶表示装置。

【請求項4】 請求項1ないし3のいずれかにおいて、前記導電性透明塗布膜は塗布ITO膜であることを特徴とする液晶表示用アクティブマトリクス基板。

【請求項5】 請求項1ないし4のいずれかにおいて、前記画素電極は、前記導電性透明塗布膜の下層側に導電性スパッタ膜を有し、前記導電性透明塗布膜は前記導電性スパッタ膜を介して前記薄膜スイッチング素子に導電接続していることを特徴とする液晶表示用アクティブマトリクス基板。

【請求項6】 請求項5において、前記導電性スパッタ膜は、前記導電性透明塗布膜の下層側に積層されている透明な導電性スパッタ膜であることを特徴とする液晶表示用アクティブマトリクス基板。

【請求項7】 請求項1ないし6のいずれかにおいて、前記カラーフィルタ層はインクジェットプリンタにより定着された色素材であることを特徴とするアクティブマトリクス液晶表示装置。

【請求項8】 請求項7において、前記色素材の定着領域は、該色素材の表面よりも上層側に突出して前記カラーフィルタ層を形成する際にプリンタヘッドから吐出されたインクが周囲に流出することを防止する突条のバンクによって囲まれていることを特徴とするアクティブマトリクス液晶表示装置。

【請求項9】 請求項1ないし8のいずれかに規定するアクティブマトリクス液晶表示装置の製造方法であって、前記導電性透明塗布膜を形成するにあたっては、前記カラーフィルタ層より上層側に透明導電膜の前駆体を塗布成膜した後、該前駆体に熱処理を行って導電膜とし、しかる後に該導電膜をパターンニングして前記導電性透明塗布膜とすることを特徴とするアクティブマトリクス液晶表示装置の製造方法。

【請求項10】 請求項9において、前記前駆体を熱処理するにあたっては、該前駆体に対してランブアニールまたはレーザアニールを行うことを特徴とするアクティブマトリクス液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス形成される画素領域の各々に対し、薄膜トランジスタまたはダイオードからなる薄膜スイッチング素子と、該薄膜スイッチング素子に導電接続する画素電極とを有するアクティブマトリクス液晶表示装置、およびその製造方法に関するものである。さらに詳しくは、アクティブマトリクス液晶表示装置のアクティブマトリクス基板にカラーフィルタを内蔵させるための技術に関するものである。

【0002】

【従来の技術】アクティブマトリクス液晶表示装置では、画素スイッチング用の薄膜スイッチング素子として、薄膜トランジスタ (Thin Film Transistor/以下、TFTという。) またはMIM (Metal-Insulator-Metal) ダイオードのいずれを用いた場合でも、2枚の透明基板の間に封入した液晶を各透明基板に形成した対向電極と画素電極との間で駆動する。また、図13に示すように、アクティブマトリクス型のカラー液晶表示装置1では、液晶30を封入した2枚の透明基板10、20のうち透明基板10の側には、赤(R)、緑(G)、青(B)の3色の有色層からなるカラーフィルタ層13R、13G、13Bによってカラーフィルタ130が構成されている。3色のカラーフィルタ層13R、13G、13Bの間には色と色の隙間を遮光するためのブラックマトリクス120が形成され、カラーフィルタ層13R、13G、13B上には対向電極11となる透明導電膜が形成されている。カラーフィルタ130を製造する際には、透明基板10上に例えばクロム等の金属からなる遮光膜を形成した後、周知のフォトリソグラフィ技術を用いてこれを格子状にパターンニングし、ブラックマトリクス120とする。次にカラーフィルタ層13R、13G、13Bを形成するが、カラーフィルタ層13R、13G、13Bの代表的な形成法としては、染色法、顔料分散法等がある。染色法は、染色基材となるレジストを塗布、パターンニング後、染色液中に浸漬してレジストを染色する方法である。顔料分散法は、予め着色した顔料レジストを塗布、パターンニングする方法である。

【0003】一方、透明基板20上にはデータ線31と走査線15とによって画素領域2が区画形成され、各画素領域2のそれぞれに対しては画素電極4への信号電圧の供給を制御するTFT40などの薄膜スイッチング素子が形成されている。従って、カラー液晶表示装置1を製造する際には、各カラーフィルタ層13R、13G、13Bと、各画素領域2とが対向するように透明基板1

0、20を貼り合わせる。

【0004】但し、カラー液晶表示装置1の製造工程では、透明基板10、20同士の貼り合わせ精度を高めるのに限界がある一方、各カラーフィルタ層13R、13G、13Bと各画素領域2との間にずれがあると、色情報の表示に乱れが発生する。そこで従来は、このようなずれがあっても色情報の表示に乱れが発生しないように、画素領域2の面積からみれば画素電極21を小さめに形成せざるを得ず、このような画素電極2の縮小はその分、高品位の表示を妨げることになる。

【0005】そこで、本出願人は、特願平5-89809号(特開平6-301057号公報)において、図14に示すカラーフィルタ体型のアクティブマトリクス基板を提案している。このアクティブマトリクス基板では、透明基板20の上に、下層側からTFT40などの薄膜スイッチング素子、カラーフィルタ層13R、13G、13B(カラーフィルタ130)、および画素電極4をこの順に積層してある。すなわち、TFT40の上層側にカラーフィルタ層13R、13G、13Bを形成した後、これらのカラーフィルタ層13R、13G、13Bのコンタクトホール131を介して画素電極4をTFT40のドレイン領域46に導電接続している。この構造によれば、対向電極を備える方の前記透明基板と、アクティブマトリクス基板を構成する透明基板10とを貼り合わせる際に、カラーフィルタ層13R、13G、13Bと各画素領域2とがずれることがない。従って、画素電極4を最大限に拡張しても色情報の表示に乱れが発生することがないので、画素電極2を拡張できる分、高品位の表示を行うことができる。

【0006】

【発明が解決しようとする課題】しかしながら、図14に示す構造のアクティブマトリクス基板では、シリコン酸化膜などからなる層間絶縁膜48のコンタクトホール481のみを介して画素電極4をTFT40のドレイン領域46に導電接続する構造と違って、層間絶縁膜48からみれば厚いカラーフィルタ層13R、13G、13Bに形成したコンタクトホール131を介しても画素電極4をTFT40のドレイン領域46に導電接続させる必要がある。すなわち、カラーフィルタ層13R、13G、13Bは、たとえば0.5 μ m~3 μ mの膜厚であり、通常用いられている層間絶縁膜からみれば厚いことから、カラーフィルタ層13R、13G、13Bに形成したコンタクトホール131はアスペクト比が大きい。従って、画素電極4を形成する際にITO膜(Indium Tin Oxide)をスパッタ法で形成すると、画素電極4の表面にコンタクトホール131の凹部形状などといった下層側の凹凸がそのまま反映し、大きな段差400が形成されてしまう。このような段差400の存在は、ラビングが不安定になって液晶の配向が乱れる原因となるため、好ましくない。また、段差400の存在はリバース

チルトドメインの発生などに起因する表示品位の低下の原因ともなる。さらに、コンタクトホール131の段差により画素電極4が断線したり、ドレイン領域46と画素電極4との導電接続が不十分になるという問題点もある。

【0007】以上の問題点に鑑みて、本発明の課題は、カラーフィルタ体型のアクティブマトリクス基板でありながら、画素電極の表面に凹凸が発生することを防止することによって、液晶の配向が乱れやリバースチルトドメインの発生などを防止し、表示品位の向上を図ることのできるアクティブマトリクス液晶表示装置およびその製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記課題を解決するために、本発明では、基板上にマトリクス形成される各画素領域に対し、薄膜トランジスタまたはダイオードからなる薄膜スイッチング素子と、該薄膜スイッチング素子に導電接続する画素電極とを有するアクティブマトリクス液晶表示装置において、前記基板上には、下層側から前記薄膜スイッチング素子、カラーフィルタ層、および前記画素電極がこの順に積層されているとともに、前記画素電極は、前記カラーフィルタ層より上層側に、該カラーフィルタ層に形成されたコンタクトホールを介して前記薄膜スイッチング素子に導電接続する導電性透明塗布膜を備えていることを特徴とする。

【0009】本発明では、アクティブマトリクス基板の側にカラーフィルタ層を設けてあるため、対向電極を備える方の基板と、アクティブマトリクス基板(画素電極が構成されている側の基板)とを貼り合わせた際に、カラーフィルタ層と画素領域との間にずれが発生しない。従って、画素電極を最大限に拡張しても色情報の表示に乱れが発生することがなく、画素電極を拡張できる分、画素領域における開口率を向上させることができるなど、高品位の表示を行うことができる。また、対向電極を備える方の基板には精度が必要となるパターンがないため、この基板とアクティブマトリクス基板を貼り合わせる際にアライメント作業が不要となり、貼り合わせ工程のコストを低減できる。

【0010】ここで、画素電極は液晶を駆動するためにカラーフィルタ層の上層側に形成されるが、この画素電極をITO膜などから構成するにあたって、スパッタ法を用いると、図14を参照して説明したように、画素電極の表面にはコンタクトホールの凹部形状などといった下層側の凹凸がそのまま反映し、大きな段差が形成されてしまう。しかるに本発明では、画素電極を形成するにあたって、スピンコート法、ディップ法や印刷法などといった塗布成膜法を行って導電性透明塗布膜を形成する。この導電性透明塗布膜は、液状またはペースト状の塗布材を塗布するため塗布材が凹凸をスムーズに埋めるので、画素電極の表面形状は下層側の凹凸の影響を受け

にくい。それ故、カラーフィルタ層の上層側に画素電極を構成したためアスペクト比の大きなコンタクトホールを介して画素電極がTFTのドレイン領域に導電接続することになっても、表面に段差のない平坦な画素電極を形成できる。それ故、ラビングを安定に行えとともに、リバースチルトドメインの発生などを防止できる。よって、本発明によれば、表示品位が向上する。

【0011】本発明において、前記導電性透明塗布膜の形成にあたっては、スピコート法、ディップ法や印刷法などといった塗布成膜法を利用してもよいが、インク

ジェット法により塗布成膜した膜を利用してもよい。

【0012】本発明において、前記薄膜スイッチング素子は、たとえばTFTである。

【0013】本発明において、前記導電性透明塗布膜は塗布ITO膜などである。

【0014】本発明において、前記画素電極は、前記導電性透明塗布膜の下層側に透明な導電性スパッタ膜を有し、この導電性スパッタ膜を介して前記導電性透明塗布膜が薄膜スイッチング素子に導電接続していることが好ましい。塗布成膜法により形成したITO膜（導電性透明塗布膜）は、スパッタ法により形成したITO膜や金属膜に比較してドレイン領域（シリコン膜）とのコンタクト抵抗が高い傾向にあるが、本発明では、塗布成膜法により形成したITO膜はあくまで導電性スパッタ膜を介してドレイン領域に電氣的接続することになるので、前記のコンタクト抵抗が大きいという問題点も解消できる。

【0015】また、前記導電性スパッタ膜は、前記導電性透明塗布膜の下層側に積層されている透明な導電性スパッタ膜であることが好ましい。このように構成すると、画素電極は前記導電性透明塗布膜と透明な導電性スパッタ膜とを備えるので、塗布成膜法により形成したITO膜（導電性透明塗布膜）がスパッタ法により形成したITO膜や金属膜に比較してシート抵抗が大きい傾向にあっても、このシート抵抗が大きいという問題点はシート抵抗の小さい導電性スパッタ膜が解消してくれる。

【0016】本発明において、前記カラーフィルタ層はインクジェットプリンタにより定着された色素材であることが好ましい。

【0017】この場合には、前記色素材の定着領域は、該色素材の表面よりも上層側に突出して前記カラーフィルタ層を形成する際にプリンタヘッドから吐出されたインクが周囲に流出することを防止する突条のバンクによって囲まれていることが好ましい。このように構成すると、インクジェットプリンタのヘッドからインクを吐出したときにインクの流出をバンクによって防止できるので、いわゆる色にじみが発生しない。

【0018】このような構成のアクティブマトリクス液晶表示装置の製造方法では、前記導電性透明塗布膜を形成するにあたって、前記カラーフィルタ層より上層側に

透明導電膜の前駆体を塗布成膜した後、該前駆体に熱処理を行って導電膜とし、しかる後に該導電膜をパターンニングして前記導電性透明塗布膜とする。このように、透明導電膜の前駆体に熱処理を行うとしてもこの状態ではカラーフィルタ層が透明導電膜の前駆体に覆われた状態にある。従って、この熱処理をたとえ大気中で行ったとしてもカラーフィルタ層は加熱時に大気に触れない状態にあるので、耐酸化性が低いカラーフィルタ層であってもカラーフィルタ層は劣化しない。

【0019】この場合に、前記前駆体を熱処理するにあたっては、該前駆体に対してランプアニールまたはレーザアニールを行うことが好ましい。このように構成すると、前駆体へのアニール時にカラーフィルタ層はランプあるいはレーザによって局部的に加熱されるだけで、瞬時に冷却することになるので、透明基板の変形やカラーフィルタ層の劣化を防止できる。

【0020】

【発明の実施の形態】図面を参照して、本発明の実施の形態を説明する。なお、以下に説明する各形態において、従来のカラー液晶表示装置と共通する機能を有する部分には同一符号を付してある。

【0021】【実施の形態1】

（全体構成）図1は本発明を適用したカラー液晶表示装置の構成図、図2は、このカラー液晶表示装置に用いたアクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す断面図、図3は、その平面図である。なお、図2は図3のY-Y'線における断面図に相当する。

【0022】図1に示すカラー液晶表示装置1では、2枚の透明基板10、20の間に封入した液晶30を各透明基板10、20に形成した対向電極11と画素電極4との間で駆動するようになっている。すなわち、透明基板10の方には透明な対向電極11が形成されている一方、透明基板20上にはデータ線41と走査線45とによって画素領域2が区画形成され、各画素領域2のそれぞれに対しては画素電極4と、この画素電極4への信号電圧の供給を制御する画素スイッチング用のTFT40（薄膜スイッチング素子）が形成されている。

【0023】本形態のカラー液晶表示装置1では、2枚の透明基板10、20のうちアクティブマトリクス基板とされる透明基板20の側には、各画素領域2毎に、赤（R）、緑（G）、青（B）の3色の有色層からなるカラーフィルタ層13R、13G、13Bが交互に形成され、これらのカラーフィルタ層13R、13G、13Bによってカラーフィルタ130が構成されている。これらのカラーフィルタ層13R、13G、13Bは、染色法、顔料分散法等の方法で製造可能であるが、本形態では、後述するように、インクジェットプリンタのヘッドから吐出したインクを色素材として定着させたものである。なお、染色法は、染色基材となるレジストを塗布、

パターニング後、染色液中に浸漬してレジストを染色する方法である。顔料分散法は、予め着色した顔料レジストを塗布、パターニングする方法である。

【0024】(アクティブマトリクス基板の構造) 図2に示すように、本形態のカラー液晶表示装置1に用いたアクティブマトリクス基板では、画素スイッチング用のTFT40、膜厚がたとえば $0.5\mu\text{m}\sim 3\mu\text{m}$ のカラーフィルタ層13R、13G、13B(カラーフィルタ130)、および画素電極4は、下層側からこの順に絶縁性の透明基板20の上に積層されている。TFT40は、ソース領域44、ドレイン領域46、ソース領域44とドレイン領域46との間にチャネルを形成するためのチャネル領域47、およびこのチャネル領域47にゲート絶縁膜43を介して対峙するゲート電極45、このゲート電極45の表面側に形成された膜厚が 500nm の層間絶縁膜48、この層間絶縁膜48のコンタクトホール482を介してソース領域44に電気的接続するアルミニウム膜からなるソース電極31、および層間絶縁膜48のコンタクトホール481を介してドレイン領域46に電気的接続する中継電極49とを有している。中継電極49はソース電極31と同時に形成されたアルミニウム膜であり、光透過性がないので、画素領域2の開口率を低下させないようにその形成領域はコンタクトホール481の内部および周囲に限定されている。ソース電極41はデータ線の一部であり、ゲート電極45は走査線の一部である。

【0025】本形態では、層間絶縁膜48の表面側に膜厚が $0.5\mu\text{m}\sim 3\mu\text{m}$ のカラーフィルタ層13R、13G、13Bが形成され、このカラーフィルタ層13R、13G、13Bの表面側に画素電極4が形成されている。カラーフィルタ層13R、13G、13Bには、中継電極49が位置する領域(TFT40のドレイン領域46に対応する領域)にコンタクトホール131が形成され、このアスペクト比の大きなコンタクトホール131を介して、画素電極4は中継電極49に導電接続している。従って、画素電極4はカラーフィルタ層13R、13G、13Bのコンタクトホール131を介してTFT40のドレイン領域46に導電接続しているといえる。

【0026】ここで、ソース電極41は層間絶縁膜48の表面上に積層されているのに対して、画素電極4は、カラーフィルタ層13R、13G、13Bの表面上に形成され、ソース電極41と画素電極4とは異なる層間に位置している。従って、ソース電極41と画素電極4は短絡することはないので、本形態ではいずれの画素領域2においても、図3からわかるように、画素電極4は、外周縁401、402が隣接画素領域との間においてデータ線41の上方に位置するように形成されている。また、画素電極4は、外周縁403、404が隣接画素領域との間において走査線45の上方に位置するように形

成されている。すなわち、画素電極4は、その一部がデータ線41および走査線45の上方に被さっているの、画素電極4の外周縁401、402、403、404と、データ線41および走査線45との間には隙間がない。それ故、データ線41および走査線45は、それら自身がブラックマトリクスとして機能するので、工程数を増やさなくても高品位の表示を行うことができる。

【0027】図2および図3に示すように、ソース電極41(データ線41)の表面にはそれに沿って、後述するように色素材をインクジェットプリンタにより定着させる際に、インクの流出を防止する突条のバンク133が形成されている。このバンク133は、色素材の表面よりも上層側に突出する厚さに形成されたポリイミドなどの感光性のレジスト膜、アモルファスシリコン膜、その他の絶縁膜である。本形態ではアモルファスシリコン膜が用いられている。また、バンク133は、層間絶縁膜48の表面のうち、走査線45の表面に相当する位置にもそれに沿うように形成されている。従って、カラーフィルタ層13R、13G、13Bの形成領域(画素領域2)はバンク133で囲まれている状態にある。

【0028】再び図2において、本形態では、画素電極4は、カラーフィルタ層13R、13G、13Bの表面にスパッタ形成されたスパッタITO膜4A(導電性スパッタ膜)と、このITO膜の表面上に塗布成膜された塗布ITO膜4B(導電性透明塗布膜)との2層構造になっている。従って、塗布ITO膜4Bは、その下層側に位置するスパッタITO膜4Aを介して中継電極49に導電接続し、TFT40のドレイン領域46に導電接続している。スパッタITO膜4Aと塗布ITO膜4Bとは、後述するように、順次形成された後に一括してパターニング形成されたものであるため、それらの形成領域は同一である。なお、後述するように、スパッタITO膜4Aによって塗布ITO膜4Bのシート抵抗が大きいことを補うという観点からすれば、スパッタITO膜4Aは塗布ITO膜4Bよりも狭い領域に形成されていてもよい。また、塗布ITO膜4Bのシート抵抗が大きいことを補うという観点だけからすれば、スパッタITO膜4Aは塗布ITO膜4Bの上層側に形成することもある。

【0029】(本形態の構造に関する主な効果)このように構成したアクティブマトリクス基板を用いたカラー液晶表示装置1では、アクティブマトリクス基板の側にカラーフィルタ層13R、13G、13Bを設けてあるため、対向電極11を備える方の透明基板10と、アクティブマトリクス基板(透明基板20)とを貼り合わせた際に、カラーフィルタ層13R、13G、13Bと画素領域2との間にずれが発生しない。従って、画素電極4を最大限に拡張しても色情報の表示に乱れが発生することがないので、従来のものと比して画素電極4を拡張

できた分、高品位の表示を行うことができる。また、対向電極11を備える方の透明基板10には精度が必要となるパターンがないため、この基板とアクティブマトリクス基板(透明基板20)を貼り合わせ際にアライメント作業が不要となり、貼り合わせ工程のコストを低減できる。

【0030】また、カラーフィルター型体のアクティブマトリクス基板では、液晶を駆動するためには画素電極4をカラーフィルタ層13R、13G、13Bの上層側に形成する必要があることから、膜厚が0.5 μm ~3 μm もあるカラーフィルタ層13R、13G、13Bのコンタクトホール131を介して、画素電極4がTFT40のドレイン領域46に導電接続することになる。すなわち、シリコン酸化膜などからなる層間絶縁膜に比して厚いカラーフィルタ層13R、13G、13Bに形成したアクベクト比の大きなコンタクトホール131を介して、画素電極4がTFT40のドレイン領域46に導電接続することになる。それでも本形態では、後述するように、スピンコート法、ディップ法や印刷法などといった塗布成膜法を用いて形成した段差被覆性のよい導電性透明塗布膜4Bを利用して画素電極4を構成しているため、表面に段差のない平坦な画素電極4を形成できる。それ故、ラビングを安定に行えとともに、リバースチルトドメインの発生などを防止できる。よって、本発明に係るカラー液晶表示装置1によれば、表示品位が向上する。

【0031】さらに、塗布ITO膜4Bの下層側にはスパッタITO膜4Aが形成されているので、塗布成膜法により形成したITO膜が、スパッタ法により形成したITO膜に比較してシート抵抗が大きい傾向にあっても、このシート抵抗が大きいという問題はシート抵抗の小さいスパッタITO膜4Aが解消してくれる。

【0032】(アクティブマトリクス基板の製造方法)このようなアクティブマトリクス基板の製造方法を、図4ないし図6を参照して説明する。図4および図6は、本形態のアクティブマトリクス基板の製造方法で行う工程の一部を示す工程断面図であり、図5は、インクジェット法によりカラーフィルタ層13R、13G、13Bを形成する際の説明図である。

【0033】(TFT形成工程)本形態では、図4(A)に示すように、絶縁基板20として汎用の無アリカリガラスを用いる。まず、絶縁基板20を清浄化した後、絶縁基板20の上にCVD法(Chemical Vapor Deposition)やPVD法(Physical Vapor Deposition)により膜厚が300nmのシリコン酸化膜などからなる下地保護膜21を形成する。CVD法としては、たとえば減圧CVD法(LPCVD法)やプラズマCVD法(PECVD法)などがある。PVD法としては、たとえばスパッタ法などがある。

【0034】次に、TFTの能動層となるべき真性のシ

リコン膜などの半導体膜をCVD法やPVD法により形成した後、それに島状にパターニングする。このようにして得られる半導体膜42は、成膜したままのas-deposited膜としてTFTのチャネル領域などの半導体層として用いることができる。また、半導体膜42に対しては、パターニングする前に、あるいはパターニングした後にランプ光やレーザー光などの光学エネルギーまたは電磁エネルギーを短時間照射して結晶化を進めてもよい。

【0035】次に、半導体膜42の表面側にPVD法やCVD法などで膜厚が100nmのゲート絶縁膜43を形成した後、ゲート電極となるアルミニウム膜などの薄膜(図示せず。)をスパッタ形成する。通常はゲート電極とゲート配線とは、同一の金属材料などで同一の工程により形成される。ゲート電極となる薄膜を堆積した後、パターニングを行い、ゲート電極45を形成する。このとき走査線も形成される。次に、半導体膜42に対してゲート電極45をマスクとして不純物イオンを導入し、ソース領域44およびドレイン領域46を形成する。不純物イオンが導入されなかった部分はチャネル領域47となる。この方法では、ゲート電極45がイオン注入のマスクとなるため、チャネル領域47は、ゲート電極45下のみに形成される自己整合構造となるが、オフセットゲート構造やLDD構造のTFTを構成してもよい。不純物イオンの導入は、質量分離型イオン注入装置を用いてドーパントとなる不純物元素と水素とを同時に注入するイオン・ドーピング法、あるいは質量分離型イオン注入装置を用いて所望の不純物イオンのみを注入するイオン打ち込み法などを適用することができる。

【0036】このようにしてTFT40のソース領域44、ドレイン領域46、チャネル領域47、ゲート絶縁膜43、およびゲート電極45を形成した後、ゲート電極45の表面側に膜厚が500nmのシリコン酸化膜からなる層間絶縁膜48をCVD法あるいはPVD法で形成する。

【0037】次に、図4(B)に示すように、層間絶縁膜48のうち、ソース領域44およびドレイン領域46に相当する位置のそれぞれにコンタクトホール481、482を形成する。次に、層間絶縁膜48の表面側にアルミニウム膜をスパッタ法により形成した後、このアルミニウム膜をパターニングし、ソース電極41、中継電極49、およびデータ線を同時形成する。

【0038】(バンク形成工程)次に、層間絶縁膜48の表面側に真性のアモルファスシリコン膜を減圧CVD法やPECVD法、あるいはスパッタ法などに厚めに形成した後、このアモルファスシリコン膜を格子状にパターニングして、図4(C)に示すように、ソース電極4

1 (データ線41)の表面にはそれに沿って突条のバンク133を形成する。この際には、図2を参照して説明したように、層間絶縁膜48の表面のうち、走査線45の表面に相当する位置にもそれに沿うように突条のバンク133を形成する。従って、画素領域2はバンク133で囲まれ、その内側がカラーフィルタ層形成予定領域139となる。

【0039】この際には、アモルファスシリコン膜のエッチングにCDE (Chemical Dry Etching) 法を用い、
10 テーパエッチングを行ってもよい。この際のCDEの条件としては、エッチングガスを CF_4/O_2 とし、マイクロ波プラズマエッチング装置を用い、周波数2.54 GHz、マイクロ波パワー700W、圧力30Pa、 CF_4 ガス流量990sccm、 O_2 ガス流量90sccm、エッチングレート2500オングストローム/分、エッチング時間12分とする。この条件でエッチングを行うと、バンク133はテーパ角が $60^\circ \sim 80^\circ$ 程度のテーパエッチングされた形状となる。このようにしてテーパエッチングを行うと、バンク133で区画形成されたカラー
20 フィルタ層形成予定領域139は、底面側から開口側に向かって幅が拡張された形状となる。それ故、カラーフィルタ層形成予定領域139にインクを注入する際にカラーフィルタ層形成予定領域139内にインクを注入しやすという利点がある。

【0040】(カラーフィルタ層形成工程)次に、図4(D)に示すように、バンク133によって区画形成されているカラーフィルタ層形成予定領域139内にR、G、Bの各インク51R、51G、51Bをそれぞれ注入する。この際には、一般のインクジェットプリンタを*

*用いることができるが、プリンタヘッド50のR、G、Bの各ノズル52の間隔は、隣接する画素領域2の中心間の距離に一致するように調整しておく。

【0041】すなわち、図5に、バンク133で区画形成されたカラーフィルタ層形成予定領域139の平面構造を拡大して示すように、カラーフィルタ層形成予定領域139の寸法はたとえば $250\mu\text{m} \times 80\mu\text{m}$ 程度であり、バンク133の幅は $5\mu\text{m} \sim 20\mu\text{m}$ 程度である。従って、プリンタヘッド50の各ノズル52の間隔は $85\mu\text{m} \sim 100\mu\text{m}$ 程度とすればよい。また、使用するインクジェットプリンタの解像度が360dpiの場合、インク1ドットの径は $70\mu\text{m} \sim 100\mu\text{m}$ 程度であるから、平面的な寸法だけから見ると、1つのカラーフィルタ層形成予定領域139内にインク51R、51G、51Bを3ドットずつ注入することができる。ここで、インク1ドットの占める体積は通常決まっているが、カラーフィルタ層形成予定領域139の平面寸法も液晶表示装置毎にたとえば $250\mu\text{m} \times 80\mu\text{m}$ と定まっている。従って、インクが多過ぎたり、少な過ぎたりしないように、バンク133の高さとインクの注入ドット数を適宜最適条件に設定する。但し、バンク133からインク51R、51G、51Bがはみ出ると、カラーフィルタ130に色にじみが発生するため、本形態では、バンク133をやや厚めに形成してインク51R、51G、51Bのはみ出しを防止してある。

【0042】ここで用いることのできるインクの種類としては、たとえば表1に示すようなものがあげられる。

【0043】

【表1】

インク	顔料インク① (熱硬化性) (60~70℃)	顔料インク② (光硬化性) (紫外線)	染料 (熱硬化性) (120℃)
色剤	顔料 5wt%	顔料 5wt%	油溶性染料 5wt%
硬化剤	アクリルエマルジョン 10	アクリル樹脂 10	アクリル樹脂 5
湿潤剤	グリセリン 20	グリセリン 20	N-メチルピロリドン 10
浸透剤	エタノール 0.3	エタノール 0.3	エタノール 10
溶媒	純水 残り	純水 残り	純水 残り
重合開始剤	—	ジアソ樹脂 0.3	—
耐熱性	300℃	300℃	~200℃

【0044】この表1に示すように、顔料系インク、染料系インクのいずれを用いてもよいが、インクに色素材として求められる特性としては、カラーフィルタ層13R、13G、13Bとなった時にその機能を満たすことは勿論、インクジェットプリンタに適應できるように、粘度が10cps以下、表面張力が30dyne/cm前後の特性を有する必要がある。なお、表1中の「湿潤剤」、「浸透剤」とは、インクの表面張力を低下させて濡れ性を高めるために含有させるものである。

【0045】図4(D)に示すようにインク51R、51G、51Bの注入を終えた後には、透明基板20全体をオープン内で加熱して、インク51R、51G、51Bを乾燥、定着させる。その条件としては、空气中雰囲気、温度110℃、時間10分とする。なお、雰囲気は窒素雰囲気でもよく、温度は80℃～140℃程度、時間は10分～1時間程度でよい。

【0046】この工程を経てインク51R、51G、51Bが乾燥すると、図6(A)に示すように、表面が平坦化した3色のカラーフィルタ層13R、13G、13Bが形成される。

【0047】(画素電極形成工程)次に、図6(B)に示すように、カラーフィルタ層13R、13G、13Bにコンタクトホール131を開口した後、カラーフィルタ層13R、13G、13Bの表面全体にスパッタ法によりスパッタITO膜4A(導電性スパッタ膜)を形成する。

【0048】続いて、スパッタITO膜4Aの表面上に塗布ITO膜4B(導電性透明塗布膜)を形成する。

【0049】この塗布ITO膜4Bの形成にあたっては、各種の液状またはペースト状の塗布材(透明導電膜の前駆体)を用いることができる。これらの塗布材のうち、液状のものであればディップ法やスピンコート法などを用いることができ、ペースト状のものであればスクリーン印刷法などを用いることができる。本形態で用いた塗布材は、有機インジウムと有機スズとがキシロール中に97:3の比率で8%配合された液状のもの(たとえば、旭電化工業株式会社製の商品名:アデカITO塗布膜/ITO-103L)であり、透明基板20の表面側(スパッタITO膜4Aの表面)にスピンコート法で塗布できる。ここで、塗布材としては、有機インジウムと有機スズとの比が99/1から90/10までの範囲にあるものを使用することができる。

【0050】本形態では、透明基板20の表面側に塗布した液状またはペースト状の塗膜については、溶剤を乾燥、除去した後、熱処理装置内で熱処理を行う。

【0051】このとき熱処理条件としては、たとえば炉内での熱処理であれば、温度が200℃～300℃の空气中あるいは酸素含有雰囲気中または非還元性雰囲気中で30分から60分の第1の熱処理(焼成)を行った後、温度が約200℃の水素含有の還元性雰囲気中で3

0分から60分の第2の熱処理を行う。いずれの場合でも、第1の熱処理で安定化した皮膜が熱劣化しないように、第2の熱処理での処理温度は第1の熱処理での処理温度よりも低く設定する。このような熱処理を行うと、有機成分が除去されるとともに、塗膜はインジウム酸化物と錫酸化物の混合膜(塗布ITO膜4B)となる。その結果、膜厚が約500オングストローム～約2000オングストロームの塗布ITO膜4Bは、シート抵抗が $10^3 \Omega/\square \sim 10^5 \Omega/\square$ で、光透過率が90%以上となり、スパッタITO膜4Aとともに十分な性能を備えた画素電極4を構成することができる。

【0052】しかる後に、基板温度が150℃以下になるまで透明基板20を第2の熱処理を行った還元性雰囲気中または窒素ガスなどの非酸化性雰囲気中、あるいはその他の非酸化性雰囲気中に保持し、基板温度が150℃以下になった以降、透明基板20を熱処理装置から大気中に取り出す。このように、透明基板20の温度が約150℃以下に低下した後に大気にさらすのであれば、水素含有雰囲気下での第2の熱処理での還元により低抵抗化した皮膜が再び酸化してしまうことを防止できるので、シート抵抗の小さな塗布ITO膜4Bを得ることができる。透明基板20を熱処理装置から大気中に取り出すときの温度は、塗布ITO膜4Bの再酸化を防止するためには100℃以下であることがより望ましい。塗布ITO膜4Bの比抵抗は膜中の酸素欠陥が多い程低くなるので、大気中の酸素によって塗布ITO膜4Bの再酸化が起きると比抵抗が増大するからである。

【0053】このような熱処理を行うといっても、その下層側に位置するカラーフィルタ層13R、13G、13BはスパッタITO膜4A、および塗布ITO膜4Bを形成するための塗膜によって覆われているので、空気に晒されていない。それ故、塗布ITO膜4Bを形成するために熱処理を行ってもカラーフィルタ層13R、13G、13Bには空気酸化などの劣化が生じない。

【0054】このような熱処理を行うにあたっては、炉内での熱処理に代えて、ランプアニール(急速加熱処理)やレーザアニールを行うことが好ましい。このようなランプアニールやレーザアニールはいずれも、TFTの製造工程においてアモルファスシリコン膜を結晶化するための熱処理として広く用いられており、ランプ光あるいはレーザ光によって絶縁基板20の表面側に塗布した液状またはペースト状の塗膜を局部的に順次加熱していく。このため、局部的にはたとえば300℃にまで加熱されたとしても、その加熱時間は短時間で、かつ瞬時に冷却されることになる。従って、透明基板20に熱変形が起きるのを防止できるとともに、カラーフィルタ層13R、13G、13Bが熱劣化するのを防止できる。

【0055】このようにしてスパッタITO膜4Aおよび塗布ITO膜4Bを形成した後、それらを一括して王水系やHBrなどのエッチング液で、またはCF₄など

を用いたドライエッチングによりパターニングして図2に示すように画素電極4を形成する。

【0056】図3を参照して説明したように、いずれの画素領域2においても、画素電極4の外周縁401、402、403、404が隣接画素領域との間においてデータ線41および走査線45に被さるようにパターニングするだけで、データ線41および走査線45からなるブラックマトリクスを構成できる。すなわち、データ線41および走査線45は通常、金属膜で構成されているので、これらのデータ線41および走査線45が遮光膜となる。それ故、工程数を増やさなくても高品位の表示を行うことができる。しかも、画素電極4をデータ線41および走査線45に被さるまでその形成範囲を最大限拡張したため、画素領域2の開口率が高いので、表示の品位が向上する。

【0057】このように構成したアクティブマトリクス基板を用いてカラー液晶表示装置1を製造しても、カラーフィルタ層13R、13G、13Bは画素電極2の下層側に位置するので、走査線45を介して供給される制御信号によってTFTを駆動すれば、画素電極4と対向基板(図示せず。)との間に構成されている液晶セルには、データ線41からTFT40を介して画像情報が書き込まれ、所定の表示を行うことができる。

【0058】(本形態の製造方法に関する主な効果)また本形態では、画素電極4を形成するにあたっては塗布ITO膜4Bを用いている。この塗布成膜法は段差被覆性に優れているので、塗布ITO膜4Bを構成するための液状またはペースト状の塗布材は、コンタクトホール131に起因して生じたスパッタITO膜4B表面の凹凸などをスムーズに埋める。また、カラーフィルタ層13R、13G、13Bを形成するのにインクジェット法を用いているため、インクを絶縁基板20上に塗布すると、凹部となっている部分ではその分厚く、凸部となっている部分ではその分薄いカラーフィルタ層13R、13G、13Bが形成される。従って、データ線41や走査線45に起因する凹凸などが画素電極4の表面に反映されない。それ故、表面に段差のない平坦な画素電極4を形成できるので、ラビングを安定に行えとともに、リバースチルトドメインの発生などを防止できる。よって、本発明によれば、表示品位が向上する。

【0059】また、カラーフィルタ130の製造にインクジェット法を用い、しかも、プリンタヘッド50の各ノズル52R、52G、52Bの間隔を、カラーフィルタ形成予定領域の中心間の距離に一致させたため、カラーフィルタ形成予定領域内にインク51R、51G、51Bを高速で注入することができる。従って、カラーフィルタ130全体の製造に要する時間を格段に短縮することができる。また、完成したカラーフィルタ130にインク51R、51G、51Bが注入されていない部分、いわゆる欠陥があったような場合、インクジェット

法であれば、その個所にのみ再度インク51R、51G、51Bを注入することができ、欠陥を補修することが可能である。さらに、カラーフィルタ層13R、13G、13Bの形成に関しては、使用する装置がインクジェットプリンタとインク乾燥用のオープンなどで済むため、設備コストを低く抑えることが可能となる。また、インク51R、51G、51Bの注入を行う際にバンク133が、いわゆるインクを収容するための槽を構成し、このインク収容槽内にインクを注入するようになっているので、インク51R、51G、51Bが他の領域にはみ出ない。従って、インク51R、51G、51Bが所定領域内に各々閉じ込められた状態にあるため、色にじみのないカラーフィルタ130を実現することができる。それ故、表示品位の高い液晶表示装置1を実現することができる。

【0060】また、インク51R、51G、51Bの注入を行う際のはみ出しを確実に防止するためのバンク133を高くしても、塗布ITO膜4Bを厚膜化することにより、バンク133と塗布ITO膜4B(画素電極4)の表面の高さ位置を合わせることができる。従って、画素電極4の表面にはバンク133に起因する凹凸がない。それ故、セルギャップが5 μ m以下のカラー液晶表示装置1にも適応することができる。しかも、カラーフィルタ層13R、13G、13Bは画素電極4に覆われ、外気と隔離されているため、カラーフィルタ層13R、13G、13Bの経時的な変色を防ぐことができる。

【0061】[実施の形態2]以下に説明するいずれの形態でも、基本的な構成が実施の形態1と同様であるので、対応する主要部分には同じ符号を付して図示するとともに、それらの説明を省略する。

【0062】実施の形態1では、ゲート電極45の表面側に形成された層間絶縁膜48の表面上にカラーフィルタ層13R、13G、13Bを直接、形成したが、図7に示すように、ソース電極41および中継電極49を形成した後、その表面側にシリコン酸化膜などの上層側の層間絶縁膜48Aを形成し、この層間絶縁膜48Aの表面にカラーフィルタ層13R、13G、13Bを形成してもよい。このような構成でも、画素スイッチング用のTFT40、カラーフィルタ層13R、13G、13B(カラーフィルタ130)、および画素電極4は、下層側からこの順に絶縁性の透明基板20の上に積層されるので、画素電極4は、カラーフィルタ層13R、13G、13Bのコンタクトホール131、および上層側の層間絶縁膜48Aのコンタクトホール481Aを介して中継電極49に導電接続することになる。このような構成では、上層側の層間絶縁膜48Aが加わった分、アスペクト比の大きなコンタクトホール131、481Aを介して、画素電極4が中継電極49に導電接続することになる。それでも、本発明では画素電極4に、段差被覆

性のよい塗布ITO膜4Bを利用しているため、表面が平坦な画素電極4を構成できる。

【0063】[実施の形態3] 図2または図7に示した構造の画素電極4からスパッタITO膜4Bを省略して、塗布ITO膜4Aがアルミニウム膜からなる中継電極49に直接、導電接続する構造としてもよい。このような構造でも、スパッタITO膜4Bはあくまで中継電極49を介してTFT40のドレイン領域46(シリコン膜)に導電接続している。それ故、塗布ITO膜4BはスパッタITO膜やその他の金属電極に比較してドレイン領域(シリコン膜)とのコンタクト抵抗が高い傾向にある。このようなコンタクト抵抗の問題は中継電極49が解消してくれる。

【0064】このような構成を採用するにあたって、中継電極49としてアルミニウムを用いたが、アルミニウムと高融点金属との2層膜を中継電極49に用い、高融点金属が塗布ITO膜4Bと接触するように構成すれば、塗布ITO膜4Bと中継電極49とのコンタクト抵抗をより低く抑えることができる。すなわち、タングステンやモリブデンなどの高融点金属はアルミニウムに比して酸化されにくい。酸素を多量に含む塗布ITO膜4Bと接触しても酸化されることがない。それ故、中継電極49と塗布ITO膜4Bとのコンタクト抵抗を低く保つことができる。

【0065】[実施の形態4] また、図2または図7に示した構造から中継電極49を省略して、図8(A)、(B)に示す構造としてもよい。これらの構造のうち、図8(A)に示す形態では、画素電極4は、カラーフィルタ層13R、13G、13Bのコンタクトホール131、および層間絶縁膜48のコンタクトホール481を介して直接、TFT40のドレイン領域46に導電接続している。また、図8(B)に示す形態では、画素電極4は、カラーフィルタ層13R、13G、13Bのコンタクトホール131、上層側の層間絶縁膜48Aのコンタクトホール481A、および下層側の層間絶縁膜48のコンタクトホール481を介して直接、TFT40のドレイン領域46に導電接続している。このような構造では中継電極を省略した分、アスペクト比の大きなコンタクトホールを介して、画素電極4がTFT40のドレイン領域46に導電接続することになる。それでも、本発明では画素電極4に、段差被覆性のよい塗布ITO膜4Bを利用しているため、表面が平坦な画素電極4を構成できる。

【0066】また、図8(A)、(B)に示す形態では中継電極がないため、画素電極4はTFT40のドレイン領域46に直接、導電接続することになる。それでも、本発明では、画素電極4の塗布ITO膜4Bの下層側にスパッタITO膜4Aが形成されているため、塗布ITO膜4BとTFT40のドレイン領域46(シリコン膜)とはスパッタITO膜4Aを介して導電接続して

いる。それ故、塗布ITO膜4BはスパッタITO膜4Aに比較してドレイン領域(シリコン膜)とのコンタクト抵抗が高い傾向にある。このようなコンタクト抵抗の問題はスパッタITO膜4Aが解消してくれる。

【0067】[実施の形態5] 図9(A)、(B)に示すように、図2または図7に示した構造から中継電極49を省略してある。また、本形態では、ソース電極や走査線に沿ってカラーフィルタ層形成予定領域(インクジェット法により定着させて色素材の定着領域)を囲むバンク133を省略してある。従って、本形態では、インクジェット法ではなく、染色法や顔料分散法によって、カラーフィルタ層13R、13G、13Bを形成してある。但し、隣接するカラーフィルタ層13R、13G、13B同士はいずれの部分でも重なっていない。染色法は、染色基材となるレジストを塗布、パターンニング後、染色液中に浸漬してレジストを染色する方法である。顔料分散法は、予め着色した顔料レジストを塗布、パターンニングする方法である。従って、カラーフィルタ層13R、13G、13B自身は、インクジェット法で形成したカラーフィルタ層と違って段差被覆性が格段に劣っているが、それでも、本形態では画素電極4に、段差被覆性のよい塗布ITO膜を利用しているため、表面が平坦な画素電極4を構成できる。この場合でも、画素電極4の塗布ITO膜4Bの下層側にスパッタITO膜を形成し、塗布ITO膜4BはスパッタITO膜に比較してドレイン領域(シリコン膜)とのコンタクト抵抗が高いという問題をスパッタITO膜によって解消してもよい。

【0068】[実施の形態5] また、上記のいずれの形態もプレーナ型のTFTを例に説明したが、逆スタガ型等のTFTに本発明を適用してもよい。たとえば、図10に示す逆スタガ型のTFT40において、透明基板20上には、下層側からTFT40、カラーフィルタ層13R、13G、13B、および画素電極4がこの順に積層されているとともに、画素電極4に塗布ITO膜を用いてあるため、画素電極4表面の平坦化を図ることができる。このTFT40では、絶縁基板20の表面側に下地保護膜21、ゲート電極45、ゲート絶縁膜43、チャネル領域47を構成する真性のアモルファスシリコン膜、およびチャネル保護用の絶縁膜29がこの順序で積層されている。チャネル保護用の絶縁膜29の両側には高濃度N型のアモルファスシリコン膜がソース・ドレイン領域44、46として構成され、これらのソース・ドレイン領域44、46の表面にはクロム、アルミニウム、チタンなどのスパッタ膜からなるソース電極41および中継電極49が構成されている。さらに、それらの表面側にはカラーフィルタ層13R、13G、13B、および画素電極4が構成されている。ここで、画素電極4は、カラーフィルタ層13R、13G、13Bのアスペクト比の大きいコンタクトホール131を介して中継電極49に電氣的接続しているが、画素電極4には段差

被覆性のよい塗布ITO膜を用いてあるので、画素電極4表面の平坦化を図ることができる。また、画素電極4は、スパッタ膜からなる中継電極49を介してドレイン領域46に電気接続しているため、塗布ITO膜からなる画素電極4はドレイン領域46（シリコン膜）とのコンタクト抵抗が高いという問題を解消できる。さらに、画素電極4は、ソース電極41と異なる層間に構成されているため、これらの電極が短絡することがない。それ故、逆スタガ型のTFT40を用いた場合でも、画素電極4がソース電極4（データ線）や走査線（図示せず。）に被さる位まで画素電極4を広い領域に形成できるので、データ線や走査線自身をブラックマトリクスとして利用できるとともに、画素領域の開口率を高めることができる。

【0069】また、この場合でも、カラーフィルタ層13R、13G、13Bをインクジェット法で形成するのであれば、カラーフィルタ層13R、13G、13B（色素材）の表面よりも上層側に突出してプリンタヘッドから吐出されたインクが周囲に流出することを防止する突条のバンク133を形成しておく。

【0070】[その他の実施の形態]なお、工程数を最小限とするという観点からは中継電極49（導電性スパッタ膜）をソース電極41およびデータ線と同時形成してそれらと同一材質からなる金属膜（アルミニウム膜）から構成するのが好ましいが、ソース電極41と異なる材料のいずれであってもよい。

【0071】またいずれの形態でも、画素電極の塗布ITO膜を形成するにあたって、液状の塗布材から塗布ITO膜を形成するためスピンコート法を用いたが、ペースト状の塗布材を用いれば印刷法を用いて塗布ITO膜を形成することができる。このペースト状の塗布材を用いればスクリーン印刷を利用することもできるので、画素電極を形成すべき領域のみにペースト状の塗布材（透明導電膜の前駆体）を印刷し、それに乾燥、熱処理を行ったものをそのまま画素電極として用いてもよい。この場合にはエッチングによるITO膜に対するパターンニングが不要であるため、製造コストを大幅に低減できるという利点がある。

【0072】また、図2、図6、図7、図8、図10に示すように、画素電極4を構成する塗布ITO膜などの導電性透明塗布膜はバンク133の内側領域に形成される。従って、導電性透明塗布膜を形成する際には、インクジェット法により液状の塗布材（透明導電膜の前駆体）をバンク133の内側領域の塗布成膜し、しかる後にこの塗布膜に熱処理などを加えてもよい。

【0073】さらに、カラーフィルタ130の配列には、図11（A）～（E）にそれぞれ示すように、縦ストライプ型、横ストライプ型、モザイク型、トライアングル型（カラーローテーション有り）、トライアングル型（カラーローテーション無し）など方式があり、本発

明のカラーフィルタはこれらいずれの方式にも適用できる。特に、ストライプ方式では前記のインク流出防止用のバンクもストライプ形状でよいので、インクジェットプリンタによるカラーフィルタ形成工程が簡単になる。

【0074】また、図12（A）、（B）に示すように、アクティブマトリクス基板を構成する透明基板に形成する画素スイッチング用の駆動素子（薄膜スイッチング素子）としては、TFTに代えて、MIMダイオード60を形成してもよい。すなわち、MIMダイオード60のタンタル膜からなる下電極61にはその表面にタンタル酸化膜62が形成され、それにクロム膜からなる上電極63が部分的に重なっている。MIMダイオード60の表面側にはカラーフィルタ層13R、13G・・・が形成され、そのコンタクトホール131を介して、画素電極4は上電極63に導電接続している。このような構造のアクティブマトリクス基板を用いたカラー液晶表示装置でも、カラーフィルタ層13R、13G・・・のアスペクト比の大きなコンタクトホール131を介して、画素電極4が上電極63に導電接続することになる。それでも、本発明では画素電極4に段差被覆性のよい塗布ITO膜を利用しているので、表面が平坦な画素電極4を構成できる。

【0075】なお、カラーフィルタやカラー液晶表示装置を構成する各膜の膜厚等の具体的な数値、あるいは各製造工程における具体的な製造条件等に関しては、上記実施の形態に限らず、適宜設計変更が可能なのは勿論である。また、本発明の液晶表示装置は、例えばパーソナルコンピュータ、プロジェクター、ビューファインダー等の機器に適用することができ、用途に限定がないことも勿論である。

【0076】

【発明の効果】以上説明したように、本発明に係るアクティブマトリクス液晶表示装置では、アクティブマトリクス基板側の基板上には、下層側から薄膜スイッチング素子、カラーフィルタ層、および画素電極がこの順に積層され、かつ、画素電極はカラーフィルタ層のコンタクトホールを介して薄膜スイッチング素子に導電接続する導電性透明塗布膜を備えていることを特徴とする。従って、本発明によれば、アクティブマトリクス基板の側にカラーフィルタ層を設けてあるため、対向電極を備える方の基板とアクティブマトリクス基板を貼り合わせる際に、カラーフィルタ層と画素領域との間にずれが発生しない。従って、画素電極を最大限にまで拡張しても色情報の表示に乱れが発生することがなく、画素電極を拡張できた分、画素領域における開口率を向上させることができるなど、高品位の表示を行うことができる。また、対向電極を備える方の基板には精度が必要となるパターンがないため、この基板とアクティブマトリクス基板を貼り合わせ際にアライメント作業が不要となり、貼り合わせ工程のコストを低減できる。

【図面の簡単な説明】

【図1】本発明を適用したカラー液晶表示装置の構成図である。

【図2】本発明の実施の形態1に係るカラー液晶表示装置に用いたアクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す断面図である。

【図3】図2に示す画素領域の平面図である。

【図4】図1に示すアクティブマトリクス基板の製造方法を示す工程断面図である。

【図5】図1に示すアクティブマトリクス基板の製造方法において、インクジェット法によりカラーフィルタ層を形成する工程の説明図である。

【図6】図1に示すアクティブマトリクス基板を製造するにあたって、図4に示す工程以降に行う各工程を示す工程断面図である。

【図7】本発明の実施の形態2に係るカラー液晶表示装置に用いたアクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す断面図である。

【図8】(A)、(B)のいずれも、本発明の実施の形態3に係るカラー液晶表示装置に用いたアクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す断面図である。

【図9】(A)、(B)のいずれも、本発明の実施の形態4に係るカラー液晶表示装置に用いたアクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す断面図である。

【図10】本発明の実施の形態5に係るカラー液晶表示装置に用いたアクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す断面図である。

【図11】(A)ないし(E)は、それぞれ本発明の別の実施の形態に係るカラーフィルタに構成されるカラーフィルタ層の配置を示す説明図である。

【図12】(A)は、MIMダイオードを駆動素子に用いたカラー液晶表示装置のアクティブマトリクス基板の画素領域の一部を示す平面図、(B)はX-X'線における断面図である。

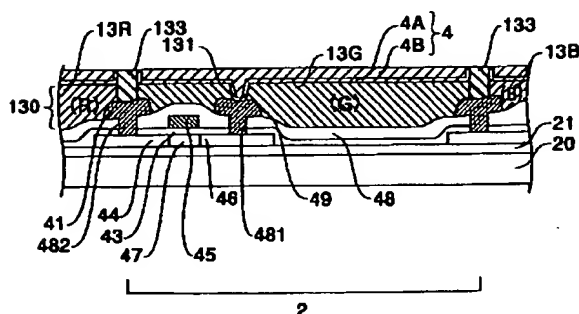
【図13】従来のカラー液晶表示装置の構成図である。

【図14】従来のカラー液晶表示装置に用いたカラーフィルター体型のアクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す断面図である。

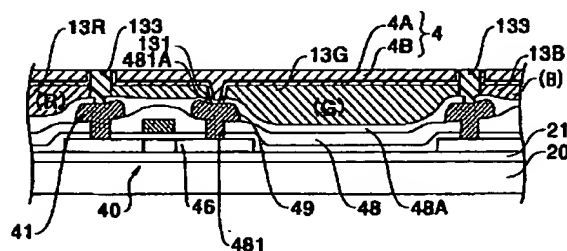
【符号の説明】

- 1 カラー液晶表示装置
- 2 画素領域
- 4 画素電極
- 4A スパッタITO膜(導電性スパッタ膜)
- 4B 塗布ITO膜(透明導電性塗布膜)
- 10 透明基板
- 11 対向電極
- 13R、13G、13B カラーフィルタ層
- 130 カラーフィルタ
- 131 カラーフィルタ層に形成したコンタクトホール
- 133 インクの流出を防ぐためのバンク
- 20 透明基板
- 21 下地保護膜
- 30 液晶
- 40 TFT
- 41 ソース電極(データ線)
- 43 ゲート絶縁膜
- 44 ソース領域
- 45 ゲート電極(走査線)
- 46 ドレイン領域
- 47 チャンネル領域
- 48、48A 層間絶縁膜
- 481、481A 層間絶縁膜のコンタクトホール
- 49 アルミニウムスパッタ膜等の中継電極
- 50 プリントヘッド
- 51R、51G、51B インク
- 52 ノズル
- 60 MIMダイオード
- 61 下電極
- 62 タンタル酸化膜
- 63 上電極

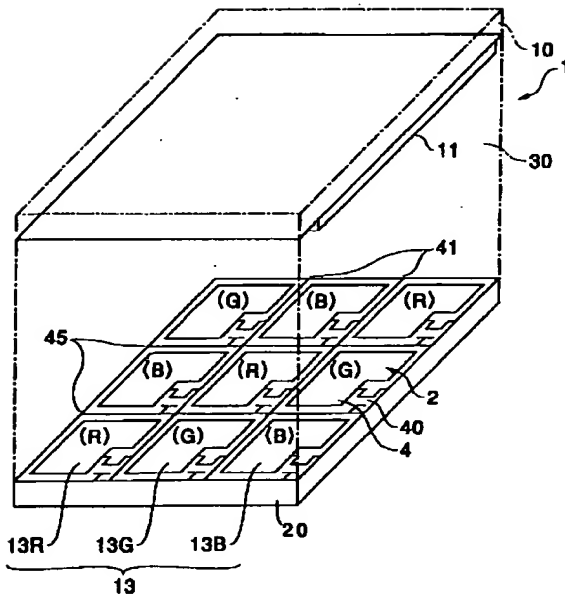
【図2】



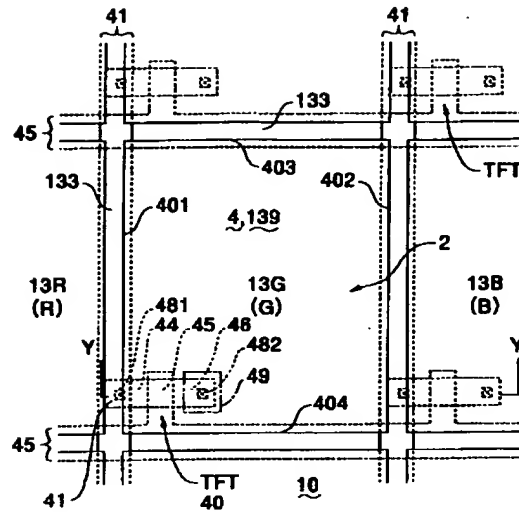
【図7】



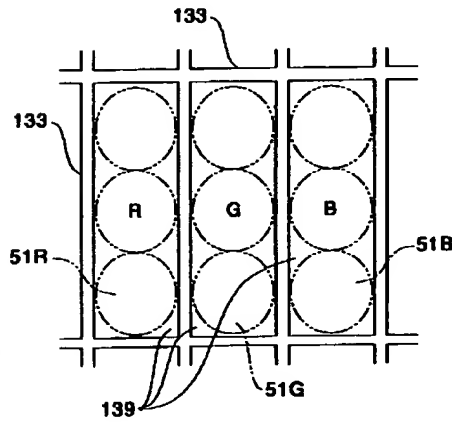
【図1】



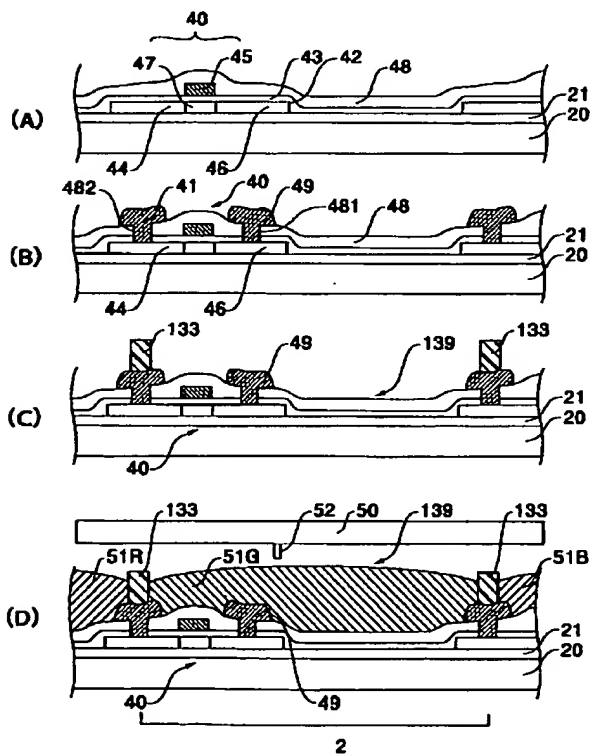
【図3】



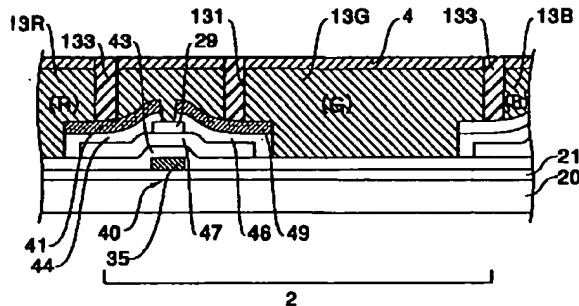
【図5】



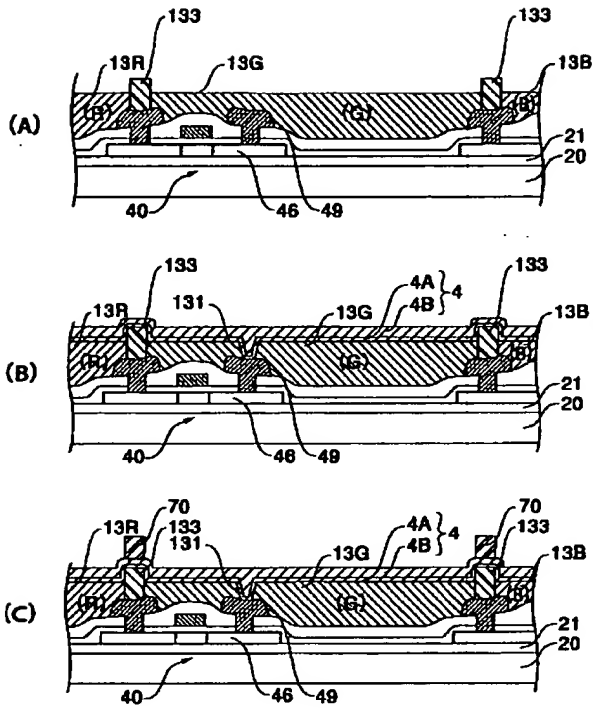
【図4】



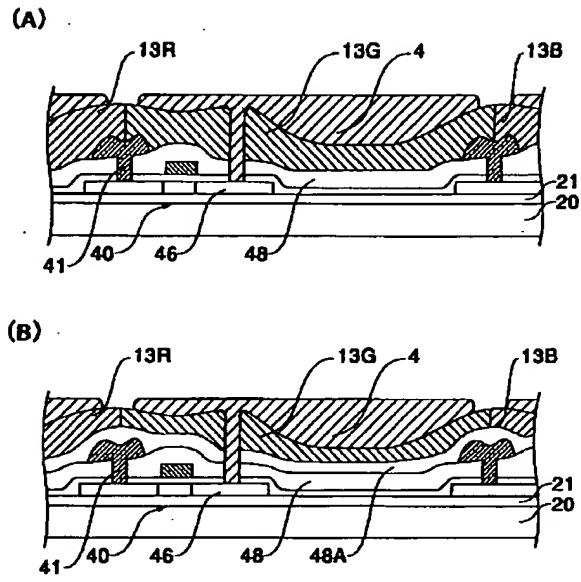
【図10】



【図6】



【図9】

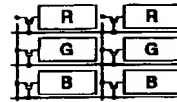


【図11】

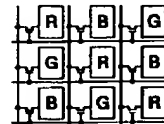
(A)



(B)



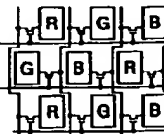
(C)



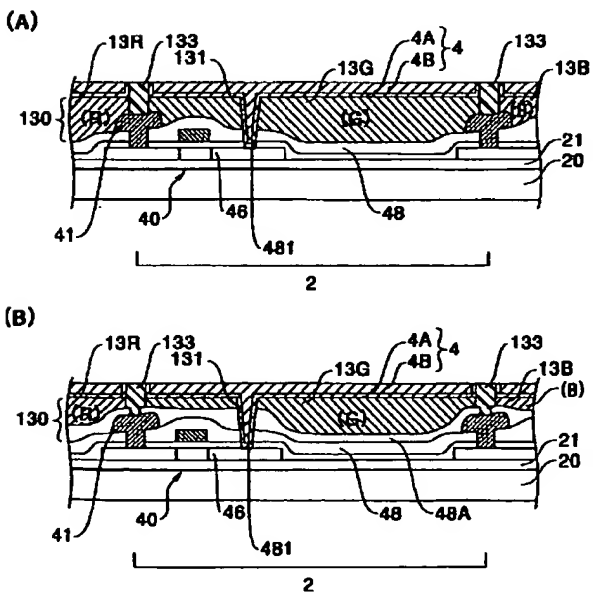
(D)



(E)

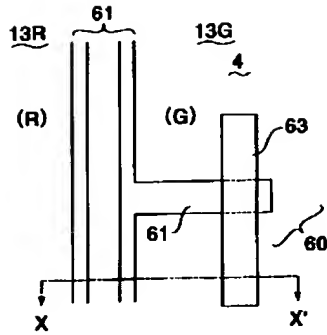


【図8】

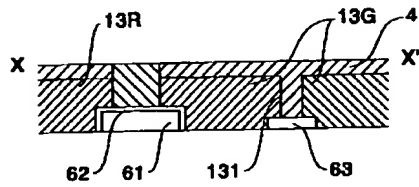


【図12】

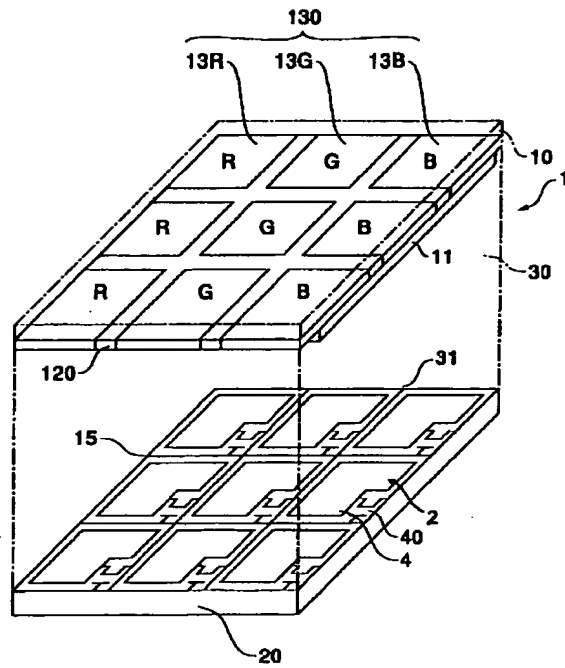
(A)



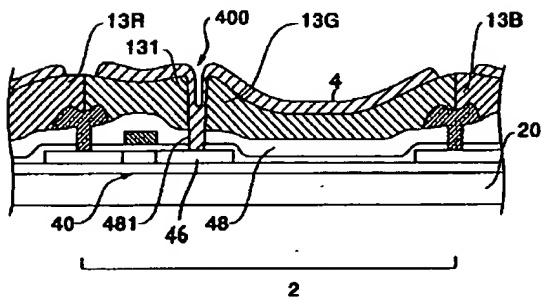
(B)



【図13】



【図14】



CLIPPEDIMAGE= JP410186412A

PAT-NO: JP410186412A

DOCUMENT-IDENTIFIER: JP 10186412 A

TITLE: ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

PUBN-DATE: July 14, 1998

INVENTOR-INFORMATION:

NAME

YUDASAKA, KAZUO

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP08348171

APPL-DATE: December 26, 1996

INT-CL (IPC): G02F001/136;G02F001/1335

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an active matrix liquid crystal display device that can improve display quality by preventing generation of raggedness on a surface of a pixel electrode in spite of being an active matrix substrate of a color filter layer-built-in type, and provide a production method therefor.

SOLUTION: In the active matrix substrate, a TFT, color filter layers 13R, 13G, 13B formed by an ink jet method and a pixel electrode 4 are formed on a transparent substrate 20 in this order from lower layer side. The pixel electrode 4 is composed of a sputtering ITO film 4A on the lower layer side and a coated ITO film 4B on the upper layer side and is conductivity connected with

a repeating electrode 49 via a contact hole 131 having a large aspect ratio of the color filter layers. Since the coated ITO film 4B has an excellent level difference coating property, the surface thereof has no raggedness.

COPYRIGHT: (C) 1998, JPO